

(5) Japanese Patent Laid-Open Publication No. Hei 6-118446

[0014] Fig. 7 is a cross-sectional view diagrammatically illustrating a third example variation of the TFT substrate shown in Fig. 1. Structure of this variation is basically identical with that of Fig. 1, and, to facilitate understanding, the same reference numerals are used to indicate corresponding components. A differing feature is that, within the second contact hole 15, a barrier metal film 19 is provided between the semiconductor thin film 7 made of polycrystal silicon and the transparent ITO conductive film 4. Ohmic contact is achieved by using this barrier metal film 19, thereby improving connection resistance. In the same manner as in the above example, a hydrogen dispersion source film 16 is extendedly disposed and patterned over this barrier metal film 19 so as to actively enhance transistor performance characteristics. Materials such as Cr, NiCr, Ti, Al, Mo, Al-Si, Au, Ag, Pt, and Pd may be used to form the barrier metal film 19. Hydrogen atoms can be well permeated particularly when Pt and Pd are used.

LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: **JP6118446**
Publication date: 1994-04-28
Inventor(s): INO MASUMITSU
Applicant(s): SONY CORP
Requested Patent: ☐ JP6118446
Application Number: JP19920285016 19920930
Priority Number(s):
IPC Classification: G02F1/136; H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE: To suppress leak current and to increase driving current by ensuring the hydrogenation treatment of TFTs for the switching elements integrated and formed in the active matrix type liquid crystal display device.

CONSTITUTION: This liquid crystal display device has a flat panel structure formed by laminating a TFT substrate 1 and a counter substrate 2 via a prescribed spacing and sealing and packing a liquid crystal layer 3 into the spacing therebetween. Pixel electrodes 5 consisting of transparent conductive films 4 and the switching elements which are the TFTs 6 consisting of semiconductor thin films 7 of polycrystalline silicon, etc., and operate to drive the pixel electrodes 5 are integrated and formed on the inside surface of the TFT substrate 1. A counter electrode 17 is formed on the inside surface of the counter substrate 2. Hydrogen diffusion source films 16 consisting of nitrided films containing hydrogen, etc., are patterned and formed so as to cover second contact holes 15 including the electrical connection regions of the transparent conductive films 4 and the semiconductor thin films 7.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-118446

(43) 公開日 平成 6 年 (1994) 4 月 28 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/78	3 1 1 N

審査請求 未請求 請求項の数 6 (全 8 頁)

(21) 出願番号 特願平4-285016

(22) 出願日 平成 4 年 (1992) 9 月 30 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 猪野 益充

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

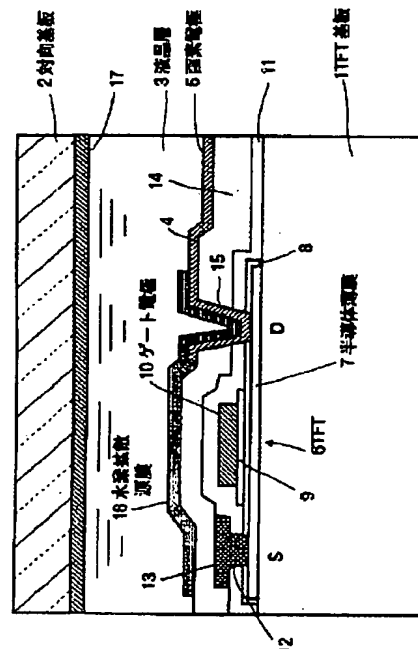
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 アクティブマトリクス型液晶表示装置に集積形成されるスイッチング素子用 TFT の水素化処理を確実なものとしリーク電流の抑制並びに駆動電流の増大を図る。

【構成】 液晶表示装置は、TFT 基板 1 と対向基板 2 とを所定の間隙を介して積層し間隙内に液晶層 3 を封入充填したフラットパネル構造を有する。TFT 基板 1 の内表面には透明導電膜 4 からなる画素電極 5 と、多結晶シリコン等の半導体薄膜 7 からなる TFT 6 であって画素電極 5 を駆動する為のスイッチング素子とが集積形成されている。対向基板 2 の内表面には対向電極 17 が形成されている。透明導電膜 4 と半導体薄膜 7 の電気接続領域を含む第 2 コンタクトホール 15 を被覆する様に、含有窒化膜等からなる水素拡散源膜 16 をパタニング形成する。



【特許請求の範囲】

【請求項1】 透明導電膜からなる画素電極と、半導体薄膜からなる薄膜トランジスタであって該画素電極を駆動する為のスイッチング素子とが集積的に形成された一方の基板と、対向電極が形成されており所定の間隙を介して該一方の基板に対向配置された他方の基板と、該間隙内に挟持された液晶層とを備えた液晶表示装置であって、

前記透明導電膜と前記半導体薄膜の電気接続領域を被覆する様に、水素拡散源膜をパタニング形成した事を特徴とする液晶表示装置。

【請求項2】 前記水素拡散源膜は、該電気接続領域の一部を被覆する様にパタニングされている事を特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記水素拡散源膜は、該電気接続領域に加えて、画素電極も部分的に被覆する様にパタニングされている事を特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記電気接続領域において、該透明導電膜と該半導体薄膜との間にバリア金属膜が介在している事を特徴とする請求項1記載の液晶表示装置。

【請求項5】 前記電気接続領域において、該透明導電膜と該水素拡散源膜との間に遮光金属膜が介在している事を特徴とする請求項1記載の液晶表示装置。

【請求項6】 前記水素拡散源膜は水素含有空化膜である事を特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画素電極とスイッチング駆動用薄膜トランジスタとが集積的に形成されたアクティブマトリクス型の液晶表示装置に関する。より詳しくは、画素電極を構成する透明導電膜と薄膜トランジスタを構成する半導体薄膜との電気接続部保護構造に関する。

【0002】

【従来の技術】 図2を参照して、従来のアクティブマトリクス型液晶表示装置の一般的な構成を簡潔に説明する。液晶表示装置は、下側のTFT基板101と上側の対向基板102とを所定の間隙を介して貼り合わせたフラットパネル構造を有しており、間隙内には液晶層103が封入充填されている。TFT基板101の内表面には透明導電膜104からなる画素電極105がマトリクス状に集積形成されている。個々の画素電極105に対応する様にスイッチング駆動用の薄膜トランジスタ(TFT)106も同時に形成されている。TFT106は島状にパタニングされた半導体膜107を用いて構成されている。この半導体膜107は、例えば多結晶シリコンからなる。半導体膜107の上にはゲート酸化膜108、ゲート空化膜109を介してゲート電極110がパタニング形成されている。TFT106のソース領域Sには第1層間絶縁膜111を介して配線電極112が電

氣的に接続している。一方TFT106のドレイン領域Dには第2層間絶縁膜113及び第1層間絶縁膜111を介して画素電極105が電気接続されている。なお、対向基板102の内表面には対向電極114が全面的に成膜されている。

【0003】 第2層間絶縁膜113の上には、TFT106を被覆する様にパタニングされた保護膜115が形成されている。この保護膜115はプラズマCVD法により成膜された窒化シリコン(P-SiN)からなり、多量の水素原子を含有している。P-SiNの成膜後にアニール処理を施すと、含有水素が多結晶シリコン半導体膜107に拡散しTFT106の水素化処理を効果的に行なう事ができる。水素化処理により多結晶シリコンの欠陥密度を減少させ、欠陥に起因するTFTのリーク電流を抑制する事ができる。加えて、水素化により多結晶シリコンの欠陥準位が減少し結晶粒界のエネルギー障壁が小さくなるので電気抵抗が減少し、TFTのオン電流を増大させる事ができる。

【0004】

【発明が解決しようとする課題】 ところで、TFT106を構成する多結晶シリコン半導体薄膜107と、画素電極105を構成するITO等の透明導電膜104は、コンタクトホールを介して互いに接合している。透明導電膜104はスパッタリングにより成膜される。このスパッタリング時の加速エネルギーやプラズマダメージにより、半導体薄膜と透明導電膜の接合部分に劣化が生じるという課題があった。この為、TFTのトランジスタ特性劣化、電流駆動能力の低下、リーク電流の増加が生じ、画素電極の実効電圧特性が悪化してしまう。特に、液晶表示装置においてはこの欠点により液晶画素の微小な欠陥が発生し易くなり画像品質を損うという問題があった。スパッタリング時の加速エネルギーやプラズマダメージにより生じる劣化はコンタクトホール内の接合部に局限されず、半導体薄膜拡散層にも及んでいる。この劣化は水素化処理により導入された水素原子の離脱が大きく関与しているものと考えられる。従来の構造においては、水素原子の離脱を有効に抑制する事ができなかった。

【0005】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は透明導電膜と半導体薄膜の接合部における劣化を有効に防止する事のできる構造を提供する事を目的とする。かかる目的を達成する為以下の手段を講じた。即ち、本発明にかかる液晶表示装置は、基本的な構成要素として、透明導電膜からなる画素電極と半導体薄膜からなる薄膜トランジスタであって該画素電極を駆動する為のスイッチング素子とが集積的に形成された一方の基板と、対向電極が形成されており所定の間隙を介して該一方の基板に対向配置された他方の基板と、該間隙内に挟持された液晶層とを備えている。本発明の

特徴事項として、前記透明導電膜と前記半導体薄膜の電気接続領域を被覆する様に、水素拡散源膜をパタニング形成するという手段を講じた。

【0006】本発明の一態様によれば、前記水素拡散源膜は該電気接続領域の一部を被覆する様にパタニングされている。あるいは、前記水素拡散源膜は該電気接続領域に加え、画素電極も部分的に被覆する様にパタニングされたものであっても良い。さらに好ましくは、前記電気接続領域において該透明導電膜と該半導体薄膜との間にバリア金属膜が介在している。又、別の態様によれば、前記電気接続領域において該透明導電膜と該水素拡散源膜との間に遮光金属膜が介在している。上述した水素拡散源膜は例えばプラズマCVD法により成膜された水素含有空化膜である。

【0007】

【作用】本発明によれば、ITO等からなる透明導電膜と多結晶シリコン等からなる半導体薄膜の接触領域において、ITO透明導電膜の上部に水素含有空化膜等の水素拡散源膜を被覆する構造としている。かかる構造によれば、ITO透明導電膜のスパッタリング成膜時に発生するダメージにより多結晶シリコン半導体薄膜から水素離脱が生じて、その後の再水素化処理で十分補償する事が可能である。これにより、TFTの電流駆動能力低下やリーク電流増大を有効に防止することができる。なお、P-SiN等の水素拡散源膜をITO透明導電膜の上面に成膜すると、ITOの水素還元反応が促進する恐れがある。ITOの還元反応により透明性が損われる恐れがある。この点に鑑み、P-SiN膜は基本的に画素電極領域に及ばない様にコンタクトホール内に限定された形状でパタニングされる。ITO透明導電膜の画素電極領域にはP-SiN膜が基本的に残存しない為、画像表示として重要な背面照明光に対する画素の透過率を維持し表示コントラストを確保する事が可能である。

【0008】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は、本発明にかかるアクティブマトリクス型液晶表示装置の基本的な構成例を示す模式的な部分断面図である。図示する様に、液晶表示装置は、下側のTFT基板1と上側の対向基板2とを所定の間隙を介し貼り合わせたフラットパネル構造を有しており、間隙内には液晶層3が封入されている。TFT基板1の内表面には透明導電膜4からなる画素電極5がマトリクス状にパタニング形成されている。透明導電膜4は例えばITOからなりスパッタリングにより成膜される。個々の画素電極5を駆動する為にスイッチング素子も集積的に形成されており、これは薄膜トランジスタ(TFT)6からなる。TFT6は島状にパタニングされた半導体薄膜7を活性領域としている。この半導体薄膜7は例えば多結晶シリコンからなる。半導体薄膜7の上にはゲート酸化膜8及びゲート窒化膜9を介してゲート電極

10がパタニング形成されている。TFT6の表面はPSG等からなる第1層間絶縁膜11により被覆されている。この第1層間絶縁膜11に開口した第1コンタクトホール12を介してTFT6のソース領域Sに配線電極13が接続している。この配線電極13はアルミニウム等の金属から構成されており、半導体薄膜7と良好なオーミックコンタクトを得る事ができる。第1層間絶縁膜11の上にはさらにPSG等からなる第2層間絶縁膜14が被覆されている。この第2層間絶縁膜14及び第1層間絶縁膜11の積層構造に開口された第2コンタクトホール15を介して、画素電極5を構成する透明導電膜4の端部がTFT6のドレイン領域Dに電気接続している。換言すると、第2コンタクトホール15内において透明導電膜4と半導体薄膜7が互いに接触した接続領域が形成される。最後に、第2層間絶縁膜14の上に水素拡散源膜16が所定の形状にパタニング形成されている。なお、対向基板2の内表面には透明導電膜からなる対向電極17が全面的に成膜されている。

【0009】本発明の特徴事項を構成する水素拡散源膜16は、例えばプラズマCVD法により成膜された窒化膜(P-SiN膜)からなる。このP-SiN膜は多量の水素を含有しており好適な水素拡散源となる。即ち、成膜後アニール処理を施す事により含有水素は第2層間絶縁膜14、第1層間絶縁膜11、ゲート酸化膜8等を通過して半導体薄膜7に拡散され水素化処理が行なわれる。この水素化処理により、TFT6のリーク電流を抑制できるとともに、そのオン電流の増大化を図る事も可能である。なお水素拡散源膜16としてはP-SiN膜に代えて、同じくプラズマCVD法により成膜される以下の材料を用いる事もできる。即ち、P-SiO(H)、P-SiON(H)、P-PSG(H)、P-SiONP(H)等が挙げられる。水素拡散源膜16はTFT6を被覆する様にパタニングされている。さらに、第2コンタクトホール15内において透明導電膜4と半導体薄膜7の電気接続領域を被覆する様に延設されている。従って、ITO透明導電膜4をスパッタリングにより成膜する際生じるプラズマダメージ等により接続領域及びその近傍の半導体薄膜7に劣化が生じて、水素拡散源膜16の延設部分から後工程で十分の水素原子を供給拡散する事ができる。これによりプラズマダメージは修復可能である。

【0010】図3は図1に示したTFTのトランジスタ動作特性を示すグラフである。比較の為、図2に示した従来のTFTのトランジスタ動作特性も示す。TFTのドレインとソース間に流れる電流IDSとゲート電圧VGSとの関係を示すグラフであり、実線は本発明にかかるTFTを表わし、点線は従来のTFTを表わしている。なお測定に用いられたTFTのチャネル幅は100μmに設定されており、チャネル長は10μmに設定されている。グラフから明らかな様に、電流駆動能力を示

5

すオン電流値 I_{on} とリーク特性を示すオフ電流値 I_{off} に夫々相違のある事が理解できる。特に、従来例の TFT については水素化が十分に行なわれていない挙動を示している。 I_{on} に関しては本発明にかかる TFT の方が従来に比べて大きな値が得られている。又、 I_{off} に関しては本発明の TFT の方が従来に比べ小さい値となっている。即ち、本発明によって TFT の電流駆動能力及びリーク特性がともに改善されており、画素スイッチとして利用した場合液晶の実効的な保持電圧を改善できる。

【0011】図4は、アクティブマトリクス型液晶表示装置における液晶画素の実効的な保持電圧の波形を示す。実線は本発明にかかる TFT 基板を用いた場合であり、点線は従来例の TFT 基板を用いた場合である。なお、このグラフを測定するに当たって設定された画素の等価回路をグラフ右上に示しておく。液晶画素 CLC は TFT によって駆動される。CLC の両端には補助容量 Cs が並列に接続されている。画素電位の立ち上り特性は TFT の I_{on} が支配しており、立ち下り特性は同じく I_{off} が支配している。本発明にかかる TFT を用いた場合には、従来に比べ画素電位の立ち上りが速く且つ立ち下りがなだらかである。立ち上りが速く立ち下りができるだけ長い方が、画像表示として良好なものが得られる。

【0012】図5は、図1に示した TFT 基板の第1変形例を示している。理解を容易にする為に、対応する部分には対応する参照番号を付してある。図1に示した構造と異なる点は、水素拡散源膜16の延設部18が、第2コンタクトホール15ばかりでなく、さらに画素電極5の一部も被覆している事である。この様にすれば、画素電極5と水素拡散源膜16との間に十分なアライメントマージンを確保する事ができる。但し、僅かながら画素電極5の開口率が犠牲となる。

【0013】図6は、第2の変形例を示す模式的な断面図である。基本的に図1に示した構造と同一であり、理解を容易にする為に対応する部分には対応する参照番号を付してある。異なる点は、水素拡散源膜16の延設部18が、第2コンタクトホール15の一部のみを被覆している事である。第2コンタクトホール15内に少なくとも部分的に P-SiN 等の水素拡散源膜が存在すれば、水素化を十分に行なう事が可能である。

【0014】図7は図1に示した TFT 基板の第3変形例を示す模式的な断面図である。基本的に同一の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第2コンタクトホール15内において、多結晶シリコンからなる半導体薄膜7とITO透明導電膜4との間にバリア金属膜19が介在している事である。このバリア金属膜19を用いる事によりオーミックコンタクトを得て接続抵抗を改善している。さらに、このバリア金属膜19の上に水素拡

6

散源膜16を延設してバタニングし、積極的にトランジスタ動作特性を改善させているのは先の例と同様である。なお、このバリア金属膜19の材料としては、Cr, NiCr, Ti, Al, Mo, Al-Si, Au, Ag, Pt, Pd等を用いる事ができる。特に、Pt及びPd等を用いた場合には水素原子を良く透過させる事ができる。

【0015】図8はTFTの第4変形例を示す模式的な断面図である。基本的に図1に示したTFTと同様の構造を有しており、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第2コンタクトホール15内においてITO透明導電膜4の上面に遮光金属膜20をバタニング形成した事である。この遮光金属膜20は外光を遮断し、光リーク電流等を効果的に抑制できる。遮光金属膜20の材料としては、図7のバリア金属膜19と同様のものを用いる事ができる。

【0016】最後に図9ないし図13を参照して、図1に示したTFT基板の製造方法を詳細に説明する。先ず図9の工程Aにおいて石英基板51を用意する。石英基板は耐熱性に優れており高温ICプロセスを適用しても熱変形等の惧れがない。工程BにおいてLPCVD法により第1多結晶シリコン膜52を成膜する。続いて工程Cにおいて固相成長アニールを行ない第1多結晶シリコン膜52の大粒径化を図り膜質改善を行なう。続いて工程Dにおいて第1多結晶シリコン膜52を島状にバタニングしTFTの為の活性領域とする。

【0017】図10の工程Eにおいて多結晶シリコン膜52の表面を熱酸化し20nm程度のゲート酸化膜53を形成する。工程Fにおいて、LPCVD法によりさらに60nm程度のゲート窒化膜54を成膜する。この様にして積層構造を有するゲート絶縁膜が設けられる。工程Gにおいて二層ゲート絶縁膜55の上に第2多結晶シリコン膜56を350nm程度の厚みで成膜する。この成膜にはLPCVD法を用いる。さらに、PSG膜を重ねて燐を拡散させ第2多結晶シリコン膜56の低抵抗化を図る。工程Hにおいてプラズマエッチングにより第2多結晶シリコン膜をバタニングしゲート電極57を形成する。

【0018】図11の工程IにおいてAs⁺イオンを注入し第1多結晶シリコン膜52内にLDD領域を形成する。続いて工程Jにおいてゲート電極57の周囲をレジスト58で被覆し、As⁺イオンを注入し、第1多結晶シリコン膜52内にN導電型のソース領域及びドレイン領域を形成する。工程KにおいてLPCVD法によりPSGからなる第1層間絶縁膜59を堆積する。さらに工程Lにおいてウェットエッチングを行ない第1層間絶縁膜59に第1コンタクトホール60を開口しTFTのソース領域Sを露出させる。

【0019】図12の工程Mにおいて金属アルミニウム61をスパッタリングにより1000nm程度の厚みで堆

積する。さらに工程Nにおいて金属アルミニウム膜を所定の形状にパタニングし配線電極62を形成する。工程OにおいてLPCVD法によりPSGからなる第2層間絶縁膜63を全面的に堆積する。工程Pにおいてドライエッチングにより第2層間絶縁膜63及び第1層間絶縁膜59の積層構造に対して第2コンタクトホール64を開口し、TFTのドレイン領域Dを露出させる。この時、同時にゲート絶縁膜55も第2コンタクトホール64から除去される。

【0020】図13の工程QにおいてスパッタリングによりITOからなる透明導電膜65を300nm程度の厚みで成膜する。この時の成膜温度は例えば300℃程度である。この成膜処理により、第2コンタクトホール64の底部及び側部に透明導電膜が堆積される。この結果、第1多結晶シリコン膜52と透明導電膜65との間に電気的な接合領域が設けられる。なお、スパッタリング成膜の際に生じるプラズマダメージ等により電気接合領域及びその近傍に劣化が生じる可能性がある。工程Rにおいて透明導電膜65を所定の形状にパタニングし画素電極66を形成する。なお、第2コンタクトホール64内には透明導電膜が残される。このパタニング処理はウェットエッチングで行ない例えば、 $\text{HCl}/\text{H}_2\text{O}/\text{NO}_3 = 300/300/50$ の混合溶液を用いる。続いて工程SにおいてプラズマCVD法によりP-SiN膜67を堆積する。このP-SiN膜は水素を多量に含有する。最後に工程TにおいてP-SiN膜67を CF_4 系の反応ガスを用いたドライエッチングによりパタニングする。このパタニングの結果、P-SiN膜67はTFTと第2コンタクトホール64を被覆する事になる。その後アニール処理を施し、P-SiN膜67に含有されていた水素原子を第1多結晶シリコン膜52に拡散し水素化処理を行なう。この水素化処理により、前述したプラズマダメージにより発生した欠陥を修復する事が可能である。

【0021】

【発明の効果】以上説明した様に、本発明によれば、画素スイッチング素子として用いられる薄膜トランジスタの水素化処理を円滑に行なう事ができるので、高温動作時におけるリーク電流の増大を防ぐ事ができ、液晶表示の画像品質が著しく向上するという効果がある。さらに、水素化が円滑に行なえるので常温動作時における書き込み電流が増大し画素電極の書き込み特性が向上する。この為液晶表示の画像品質が向上するという効果が得られる。加えて、水素拡散源膜が残留している画素電極部で従来の様にオーバーハングする事がなくなる為、

画素電極の段切れがなくなり欠陥画素発生を防止する事ができるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかるアクティブマトリクス型液晶表示装置の基本的な構成例を示す模式的な部分断面図である。

【図2】従来のアクティブマトリクス型液晶表示装置の構成例を示す断面図である。

【図3】本発明にかかる液晶表示装置に集積形成されるTFTの動作特性図である。

【図4】本発明にかかる液晶表示装置の画素電位波形図である。

【図5】本発明にかかるアクティブマトリクス型液晶表示装置に組み込まれるTFT基板の第1変形例を示す模式図である。

【図6】同じくTFT基板の第2変形例を示す模式図である。

【図7】同じくTFT基板の第3変形例を示す模式図である。

【図8】同じくTFT基板の第4変形例を示す模式図である。

【図9】本発明にかかる液晶表示装置に組み込まれるTFT基板の製造工程図である。

【図10】同じくTFT基板の製造工程図である。

【図11】同じくTFT基板の製造工程図である。

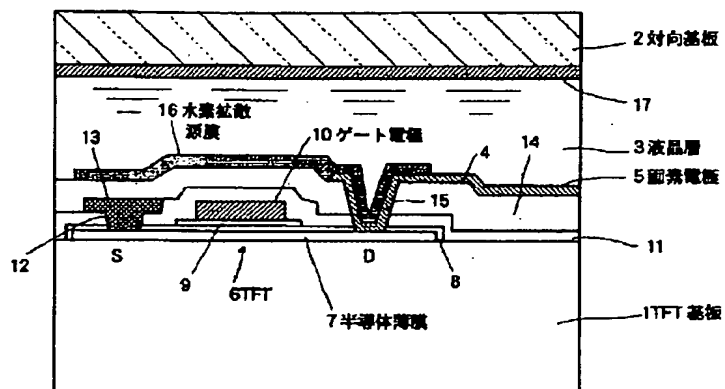
【図12】同じくTFT基板の製造工程図である。

【図13】同じくTFT基板の製造工程図である。

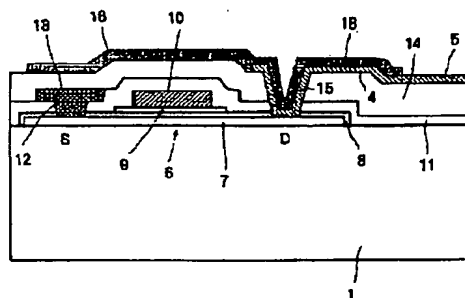
【符号の説明】

- 1 TFT基板
- 2 対向基板
- 3 液晶層
- 4 透明導電膜
- 5 画素電極
- 6 薄膜トランジスタ (TFT)
- 7 半導体薄膜
- 8 ゲート酸化膜
- 9 ゲート窒化膜
- 10 ゲート電極
- 11 第1層間絶縁膜
- 12 第1コンタクトホール
- 13 配線電極
- 14 第2層間絶縁膜
- 15 第2コンタクトホール
- 16 水素拡散源膜

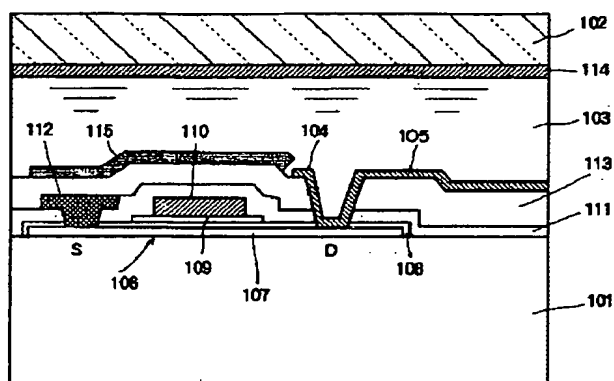
【図1】



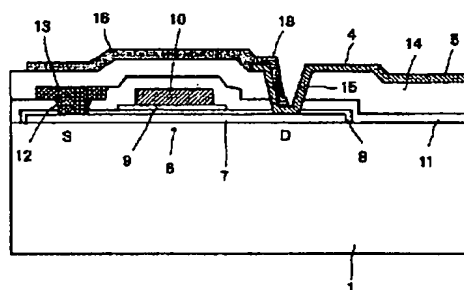
【図5】



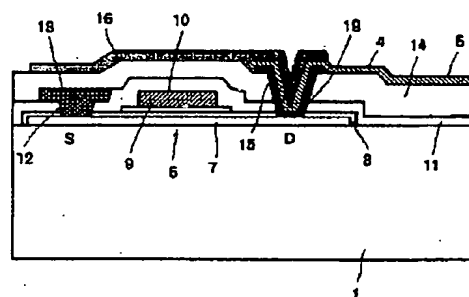
【図2】



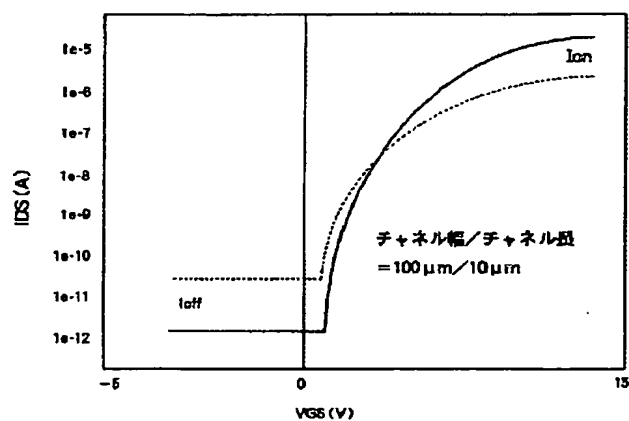
【図6】



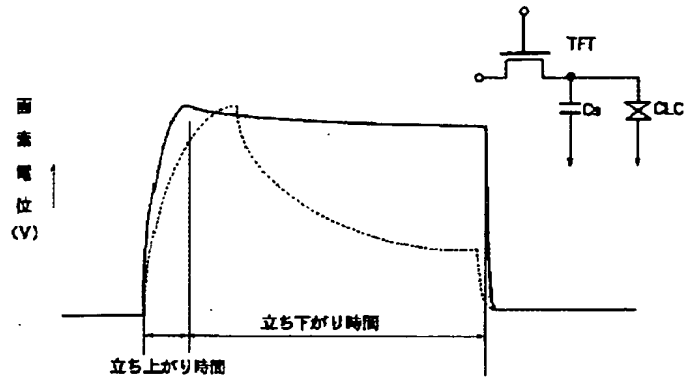
【図7】



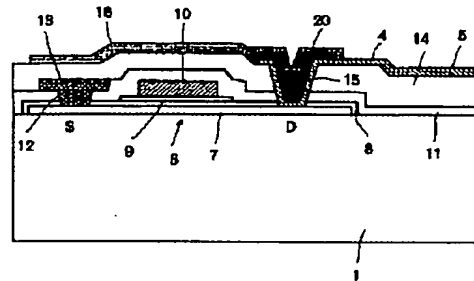
【図3】



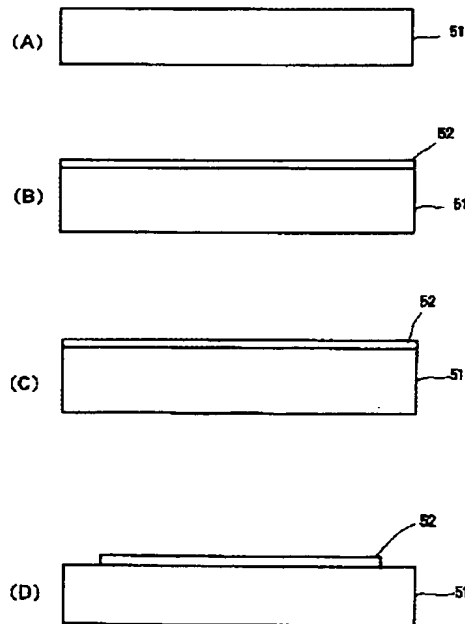
【図4】



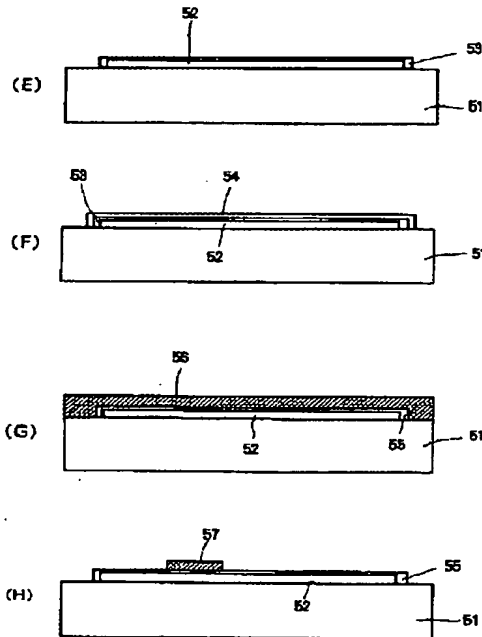
【図8】



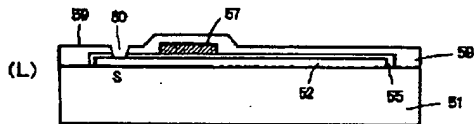
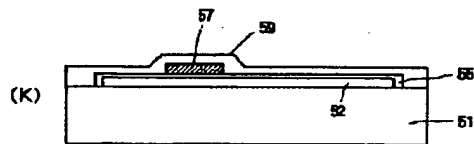
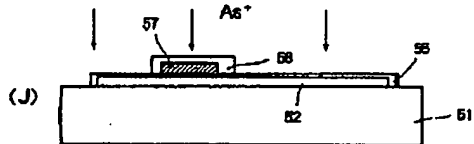
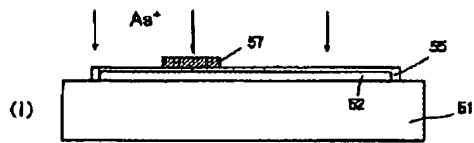
【図9】



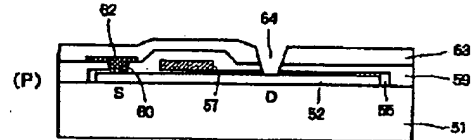
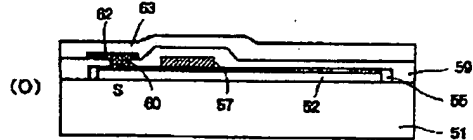
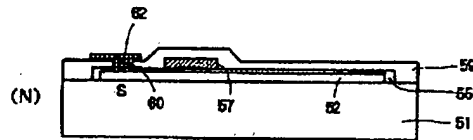
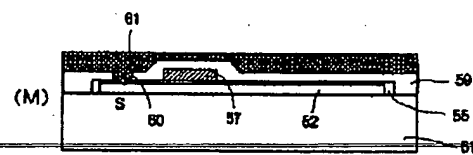
【図10】



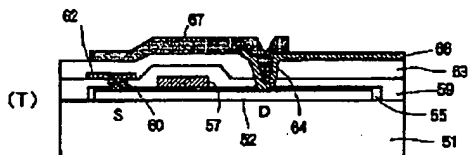
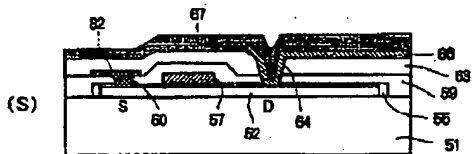
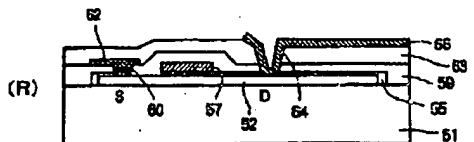
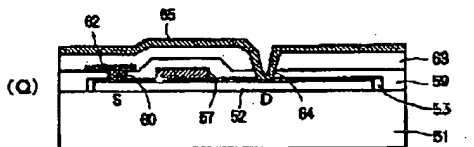
【図11】



【図12】



【図13】



BEST AVAILABLE COPY